

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111561

(43)Date of publication of application : 23.04.1999

(51)Int.CI. H01G 4/38
 H01L 27/04
 H01L 21/822

(21)Application number : 09-266386
 (22)Date of filing : 30.09.1997

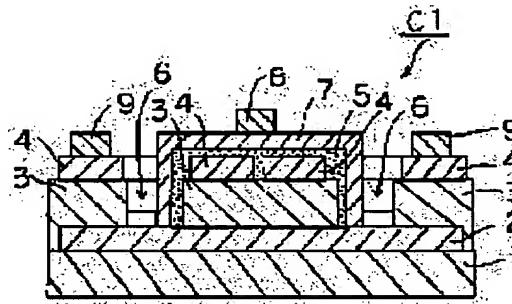
(71)Applicant : KYOCERA CORP
 (72)Inventor : NAGAKARI NAONORI

(54) THIN FILM CAPACITOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a low inductance structure which is easy of mounting and has large capacity by sequentially laminating a dielectric layer in which a plurality of apertures are formed, and a plurality of frame-shaped upper electrode layers in which openings corresponding to the openings of the dielectric layer are formed are laminated on a lower electrode layer formed on a substrate.

SOLUTION: In a thin film capacitor array C1, a dielectric layer 3 in which a plurality of openings are formed on a lower electrode layer 2 formed on a substrate 1, and a plurality of frame-shaped upper electrode layers 4 covering the dielectric layer 3 are formed on part positions corresponding to the respective apertures. A plurality of laminated members in which frame-shaped dielectric layers and the frame-shaped upper electrode layers 4 are laminated in order are arranged on the lower electrode layer. A plurality of dielectric layers in which insertion holes are formed and a plurality of the frame-shaped electrode layers are alternately laminated in a multilayered state on the lower electrode layer formed on the substrate 1. A plurality of the frame-shaped electrode layers which are vertically positioned are commonly connected with every other layers so as to be a pair of electrode members, and the one side electrode member is connected with the lower electrode layer.



LEGAL STATUS

[Date of request for examination] 03.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3523465

[Date of registration] 20.02.2004

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-111561

(43)公開日 平成11年(1999)4月23日

(51) Int.Cl.⁶
H 01 G 4/38
H 01 L 27/04
21/822

識別記号

F I
H 01 G 4/38
H 01 L 27/04

A
C

審査請求 未請求 請求項の数3 O.L (全 8 頁)

(21)出願番号 特願平9-266386

(22)出願日 平成9年(1997)9月30日

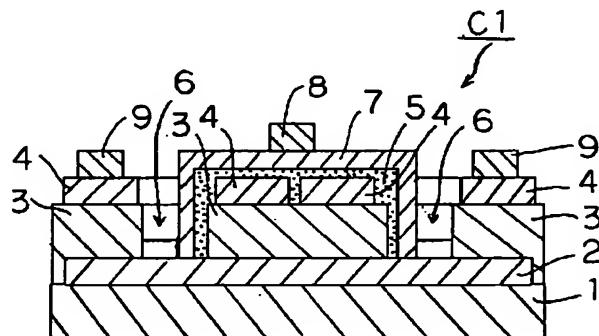
(71)出願人 000006633
京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町6番地
(72)発明者 永坂 尚謙
鹿児島県国分市山下町1番4号 京セラ株
式会社総合研究所内

(54)【発明の名称】 薄膜コンデンサ

(57)【要約】 (修正有)

【課題】 大容量の高周波対応可能な薄膜コンデンサを提供すること。

【解決手段】 絶縁体層5を介して、最上部電極層7により、個々の薄膜コンデンサどうしを並列接続し、最上部電極層7上、上部電極層4上に外側導体8、9をそれぞれ形成し、外側導体8、9とを接続してなる薄膜コンデンサアレイC1、及び、基板1上に、電極層と誘電体層とが交互に積層された領域を有しつつ複数の挿入孔を有するコンデンサを形成してなる積層型の薄膜コンデンサであって、個々の積層型薄膜コンデンサが絶縁体層を介して、最上部電極層により、並列接続された積層型薄膜コンデンサアレイは、下部電極層2と、誘電体層と、薄膜コンデンサの中央部から外側に延出した複数の電極層が相互に接続された内側電極体と、薄膜コンデンサコンデンサの中央部から内側に延出した複数の電極層が相互に接続された外側電極体とからなる。



【特許請求の範囲】

【請求項1】 基板上に形成した下部電極層上に、複数の開口が形成された誘電体層と、該誘電体層の開口に対応する開口を形成した複数の枠状の上部電極層とを順次積層したことを特徴とする薄膜コンデンサ。

【請求項2】 基板上に形成した下部電極層上に、枠状の誘電体層と枠状の上部電極層とを順次積層した積層体を複数配設したことを特徴とする薄膜コンデンサ。

【請求項3】 基板上に形成した下部電極層上に、複数の枠状の誘電体層と複数の枠状の電極層とを交互に多層に積層させて成る積層体を複数配設して成るとともに、各積層体は、上下に位置する複数の枠状の電極層を交互に一対の電極体に接続させ、一方の電極体を前記下部電極層に接続させたことを特徴とする薄膜コンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は薄膜コンデンサに関し、例えば、高速動作する電気回路に配設され、高周波ノイズのバイパス用として、もしくは電源電圧の変動防止用に供される、大容量、低インダクタンスの薄膜コンデンサ、及び電極層と誘電体層とを交互に多層に積層して成る積層型の薄膜コンデンサに関するものである。

【0002】

【従来の技術】 近年、電子機器の小型化、高機能化に伴い、電子機器内に設置される電子部品にも小型化、薄型化、高周波対応などの要求が強くなってきてている。

【0003】 特に、大量の情報を高速に処理する必要のあるコンピュータの高速デジタル回路では、パソコンコンピュータレベルにおいても、CPUチップ内のクロック周波数は100MHzから数百MHz、チップ間バスのクロック周波数も30MHzから75MHzという具合に高速化が顕著である。

【0004】 また、LSIの集積度が高まりチップ内の素子数の増大につれ、消費電力を抑えるために電源電圧は低下の傾向にある。これらIC回路の高速化、高密度化、低電圧化に伴い、コンデンサ等の受動部品も小型大容量化と併せて、高周波もしくは高速パルスに対して優れた特性を示すことが必須になってきている。

【0005】 コンデンサを小型高容量にするためには、一対の電極に挟持された誘電体を薄くし、薄膜化することが最も有効である。薄膜化は上述した電圧の低下の傾向にも適合している。

【0006】 一方、IC回路の高速動作に伴う諸問題は各素子の小型化よりも一層深刻な問題である。このうち、コンデンサの役割である高周波ノイズの除去機能において、特に重要となるのは、論理回路の同時切り替えが同時に発生したときに生ずる電源電圧の瞬間的な低下を、コンデンサに蓄積されたエネルギーを瞬時に供給することにより低減する機能であり、いわゆるデカップリングコンデンサと称されるものである。

【0007】 このデカップリングコンデンサに要求される性能は、クロック周波数よりも速い負荷部の電流変動に対して、いかにすばやく電流を供給できるかにある。従って、100MHzから1GHzにおける周波数帯域に対してコンデンサとして確実に機能しなければならない。

【0008】 しかし、実際のコンデンサ素子は静電容量成分の他に、抵抗成分やインダクタンス成分を持つ。容量成分のインピーダンスは周波数増加とともに減少し、インダクタンス成分は周波数の増加とともに増大する。

【0009】 このため、動作周波数が高くなるにつれ、素子の持つインダクタンスが供給すべき過渡電流を制限してしまい、ロジック回路側の電源電圧の瞬時低下、または新たな電圧ノイズを発生させてしまう。結果として、ロジック回路上のエラーを引き起こしてしまう。特に最近のLSIは総素子数の増大による消費電力増大を抑えるために電源電圧は低下しており、電源電圧の許容変動幅も小さくなっている。従って、高速動作時の電圧変動幅を最小に抑えるため、デカップリングコンデンサ素子自身の持つインダクタンスを減少させることが非常に重要である。

【0010】 インダクタンスを減少させる方法として以下に示す3つの方法がある。第1は電流経路の長さを最小にする方法、第2は電流経路をループ構造としループ断面積を最小にする方法、第3は電流経路をn個に分配して実効的なインダクタンスを1/nにする方法である。

【0011】 上記第1の方法は、単位面積あたりの容量を増加させて小型化を図ればよく、コンデンサ素子を薄膜化することにより達成できる。特に、大容量で高周波特性の良好なコンデンサを得る目的で、誘電体厚さを1μm以下に薄膜化した例が特開昭60-94716号公報等に開示されている。

【0012】 また、上記第2の方法は、一本の電流経路が形成する磁場を、近接する別の電流経路が形成する磁場により相殺低減する効果を利用する方法であるから、コンデンサを形成する一対の電極板、または電極層に流れる電流の向きをできるだけ同一方向にしないようにすればよい。

【0013】 また、上記第3の方法は、分割したコンデンサを並列接続することによって低インダクタンス化を図るものであり、薄膜誘電体層を利用した例として、例えば特開平4-211191号公報に開示されている。

【0014】

【発明が解決しようとする課題】 しかしながら、所望の場所に実装できるデカップリングコンデンサを考えた場合、ハンドリング可能な寸法として0.5mm×0.5mm程度以上が必要であり、上記第1の方法、すなわち薄膜、小型化の方法のみでインダクタンスを低減するには限界があった。

【0015】 また、上記第2の方法では、正負の電極取

り出し部を同一端面か、直交方向にする必要があり、実装上不利となる。

【0016】また、上記第3の分割並列接続の方法では、基板内蔵型では有利な手段となるが、実装の自由度はない。また、通常の積層型コンデンサも並列接続であるが、電流の向きが同一方向であるため、各電極電流が形成する磁場が重畳される。つまり相互インダクタンスが大きくなるため、実効的な全インダクタンスを十分に低減することはできなかった。従って、上記第2の方法を併せて採用する必要があったが、上述したとおり、電極取り出し方向の問題により実装上の問題があった。

【0017】そこで本発明は、上述の従来の諸問題を解消し、実装が容易でかつ大容量の低インダクタンス構造を有する薄膜コンデンサ素子を提供することを目的とする。

【0018】

【課題を解決するための手段】上記目的を達成するための薄膜コンデンサは、基板上に形成した下部電極層上に、複数の開口が形成された誘電体層と、該誘電体層の開口に対応する開口を形成した複数の枠状の上部電極層とを順次積層したことを特徴とする。

【0019】また、基板上に形成した下部電極層上に、枠状の誘電体層と枠状の上部電極層とを順次積層した積層体を複数配設したことを特徴とする。

【0020】また、基板上に形成した下部電極層上に、複数の枠状の誘電体層と複数の枠状の電極層とを交互に多層に積層させて成る積層体を複数配設して成るとともに、各積層体は、上下に位置する複数の枠状の電極層を一つおきに（交互に）一对の電極体に接続させ、一方の電極体を前記下部電極層に接続させたことを特徴とする薄膜コンデンサ。

【0021】

【作用】上記構成により、複数に分割形成された個々のコンデンサ素子の各電極面において、電流が中央部（または外周部）から外周部（または中央部）方向に流れるため、相互インダクタンスによって自己インダクタンスを打ち消す効果が生じ、個々のコンデンサ素子のインダクタンスを大幅に減少させることができると同時に、個々のコンデンサ素子が並列接続されているため、電流が分流されて個々のコンデンサ素子に流れることにより、コンデンサアレイとなっている薄膜コンデンサの全インダクタンスを減少させることができる。

【0022】なお、薄膜コンデンサの上面側を下部電極側の端子部とすることにより、実装がきわめて容易となる。

【0023】

【発明の実施の形態】以下、図面に基づき本発明の実施の形態について詳細に説明する。図1及び図2に本発明の薄膜コンデンサ（以下、薄膜コンデンサアレイともいいう（例：2×2タイプ））の対角線上の断面構造（図1

のA-A線断面図）を示す。図1及び図2に示すように、本発明の薄膜コンデンサアレイC1は、基板1上に形成した下部電極層2上に、複数の開口3aが形成された誘電体層3と、各開口3aに対応する部位に誘電体層3を覆う複数の枠状の上部電極層4とを形成して成る。この例ではコンデンサ素子が合計4つ形成されている。

【0024】ここで、複数のコンデンサ素子の下部電極側を薄膜コンデンサアレイC1の上面中央部に端子部として形成するために、コンデンサアレイC1の中央部に絶縁体層5を形成した後、下部電極層2上で且つ誘電体層3及び上部電極層4の開口部位（挿入孔ともいう）6に導体層7を形成し、この導体層7上に第1端子部材である内側導体8を、上部電極層4上に第2端子部材である外側導体9をそれぞれ形成している。

【0025】各電極層及び誘電体層の平面形状は、図5に示すように、方形状をなすものであり、誘電体層3及び上部電極層4は方形状の開口部3a, 4aを有しているが、形状はこれに限定されるものではなく、上部電極層4が下部電極層2と絶縁を確保できるように、誘電体層3の開口部3aの周囲を取り囲む形状を有していればどのような形状であってもよい。また絶縁体層5は導体層7及び内側導体8と、上部電極層4及び外側導体9との絶縁を確保できれば、形状はこれに限定されない。導体層7は誘電体層3及び上部電極層4の開口部3a, 4aを通じて、下部電極層2と電気的に接続できればよく、その形状は特に限定されない。また、上記例においては、下部電極層上に、複数の開口が形成された誘電体層と各開口に対応する部位に該誘電体層を覆う複数の枠状の上部電極層とを形成したものを示したが、下部電極層上に、枠状の誘電体層と枠状の上部電極層とを順次積層した積層体を複数設けた構成によっても同様な作用効果を奏することができる。

【0026】また、図3及び図4に本発明の積層型の薄膜コンデンサ（薄膜コンデンサアレイともいいう（例：2×2タイプ））の対角線上の断面構造（図3のB-B線断面図）を示す。図3及び図4に示すように、積層型の薄膜コンデンサアレイC2は、基板1上に形成した下部電極層2に複数の挿入孔15が形成された誘電体層12と複数の枠状の電極層（11a, 13a）とを交互に多層に積層させ、かつ上下に位置する複数の枠状の電極層を一つおきに一对の電極体11, 13とするべく共通に接続せるとともに、一方の電極体11を下部電極層2に接続させ、他方の電極体13を第2端子部材である外側導体19に接続せるとともに、複数の積層型薄膜コンデンサ素子の下部電極層2及び電極層11どうしを電気的に接続するため、薄膜コンデンサアレイC2の中央部に絶縁体層16を形成した後、下部電極層2上で且つ誘電体層12及び電極層11の開口部位（挿入孔ともいう）15に導体層17を形成し、導体層17上に第1端子部材である内側導体18を、上部電極層13a上に第

2端子部材である外側導体19をそれぞれ形成している。

【0027】すなわち、基板1上に、電極層(11a, 13a)と誘電体層12とが交互に積層された領域を有し、かつ挿入孔15が開口した薄膜コンデンサ素子10を複数個(この例では4つ)形成し、個々の薄膜コンデンサ素子10の下部電極2どうしを絶縁体層16を介して、導体層17によって並列に接続されてなるものであって、薄膜コンデンサアレイ本体C2は、基板1上に形成した下部電極層2と、個々の薄膜コンデンサ素子10の中央部15から内側に延出した複数の電極層(11a)が相互に接続された内側電極体11と、個々の薄膜コンデンサ素子10の中央部15から外側に延出した複数の電極層(13a)が相互に接続された外側電極体13と、誘電体層12を介して噛み合うとともに、個々の薄膜コンデンサ素子10どうしを並列接続するべく、内側電極体11と下部電極層2が絶縁体層16を介し、最上部電極層17によって電気的に接続され、さらに最上部電極層17上に形成された外側導体18と外側電極体13a上に形成された外側導体19とでもって電気的に接続して構成されている。

【0028】具体的には、例えば内側電極体11は基板1側から数えて奇数番目の電極層11aと、外側電極体13は基板1側から数えて偶数番目の電極層13aにより構成されている。そして、奇数電極層11aどうしは挿通孔15の内壁部に形成された電極層11bによって相互に接続されており、さらにこの内側電極体11は下部電極層2と電気的に接続されている。また、外側電極体13は偶数電極層13aどうしが個々の薄膜コンデンサ素子10の外周部で電極層13bによって相互に接続されて構成されている。この外側電極体13は下部電極層2とは非接触の状態で形成されている。さらに、個々の薄膜コンデンサ素子10どうしは下部電極層2と内側電極体11において、絶縁体層16を介し、最上部電極層17によって、並列接続され、本発明の積層型の薄膜コンデンサアレイC2を構成している。

【0029】ここで、本発明で用いられる基板1としては、アルミナ、サファイア、MgO単結晶、SrTiO₃単結晶、チタン被覆シリコン、または銅(Cu)、ニッケル(Ni)、チタン(Ti)、スズ(Sn)、ステンレススチール(SUS316等)などの薄膜もしくは薄板が望ましい。特に、薄膜との反応性が小さく、安価で硬度が大きく、かつ金属薄膜の結晶性という点からアルミナ、サファイアが望ましく、高周波領域における低抵抗化の点で銅(Cu)薄板または銅(Cu)薄膜が望ましい。

【0030】また、本発明の電極層は、白金(Pt)、金(Au)、パラジウム(Pd)薄膜、低抵抗のCu薄膜等が好適に使用可能であるが、誘電体層を500°C以上の高温で形成する場合、これら金属膜の内でも、白金

(Pt)と金(Au)等の貴金属薄膜、あるいはCu表面にそれら貴金属をコートしたCu薄膜が最適である。なぜなら、Pt、Au等の貴金属は誘電体層との反応性が小さく、また酸化されにくいので、誘電体層12との界面に低誘電率層が形成されにくいからである。

【0031】さらに、誘電体層は、高周波領域において高い誘電率を有するものであれば良いが、その膜厚は1μm以下が望ましい。また、誘電体層は、例えば、金属元素としてNb、Mg、Nbを含むペロブスカイト型複合酸化物結晶からなる誘電体薄膜であって、測定周波数300MHz(室温)での比誘電率が1000以上の誘電体薄膜が望ましい。なお、本発明においてはNb、Mg、Nbを含むペロブスカイト型酸化物結晶からなる誘電体薄膜以外のPZT、PLZT、BaTiO₃、SrTiO₃、Ta₂O₅や、これらに他の金属を添加したり、置換した化合物であってもよく、特に限定されるものではない。このような誘電体層は、PVD法、CVD法、ソルゲル法の公知の方法により作製される。

【0032】さらに、絶縁体層は、SiO₂、Si₃N₄等の一般に電極間の絶縁が確保できるものであれば、どのような材料でもよく、上記に記載された高誘電率材料でもよい。膜厚は絶縁が確保できればよく、特に限定はされない。成膜法もPVD、CVD、ソルゲル法の公知の方法により作製される。

【0033】以上のように構成された薄膜コンデンサアレイC1においては、個々の薄膜コンデンサにおいて、上部電極層4並びに誘電体層3に挿通孔6を設けた構造にすることにより、また、積層型薄膜コンデンサアレイC2においては、個々の積層型薄膜コンデンサにおいて、例えば奇数番目の電極層が電極層の中央部において別の奇数番目の電極層と接点を持ち、偶数番目の電極層が電極層の外周部において別の偶数番目の電極層と接点を持つ構造にすることにより、各電極面において、電流が中央部(または外周部)から外周部(または中央部)方向に流れる為、相互インダクタンスによって自己インダクタンスを打ち消す効果が生じ、全インダクタンスを大幅に減少させることができ、さらに、個々の薄膜コンデンサ及び積層型薄膜コンデンサを並列に接続することにより、個々のコンデンサ素子に流れる電流が減少し、コンデンサアレイとしての全インダクタンスがさらに減少することができる。

【0034】さらに、本構造の上部電極並びに挿通孔上に形成した最上部電極に端子電極部を設けることにより、実装が容易となる。

【0035】なお、上記例においては、内側電極体は奇数番目の電極層どうしを接続し、外側電極体は偶数番目の電極層どうしを接続した場合について説明したが、内側電極体として偶数番目の電極層どうしを、外側電極体として奇数番目の電極層どうしを接続するような構成としてもよい。また、上記例においては内側電極体を下部

電極と接続する例について説明したが、外側電極体を下部電極と接続し、内側電極体と下部電極とは非接触となるように構成してもよく、本発明の要旨を逸脱しない範囲内で適宜変更し実施が可能である。

【0036】

【実施例】次に、より具体的な実施例について詳細に説明する。

【0037】実施例1

図1及び図2に示す薄膜コンデンサアレイに係わる実施例について説明する。各電極層の形成は高周波マグネットロンスパッタ法を用いた。まず、スパッタ用ガスとしてプロセスチャンバー内にArガスを導入し、真空排気により圧力は6.7Paに維持した。スパッタ時には成膜する材料種のターゲット位置に基板ホルダーを移動させ、基板ターゲット間距離は60mmに固定した。

【0038】次に、基板ホルダーとターゲット間には外部の高周波電源により13.56MHzの高周波電圧を印加し、ターゲット背面に設置された永久磁石により形成されたマグネットロン磁界により、ターゲット近傍に高密度のプラズマを生成させてターゲット表面のスパッタを行った。

【0039】本実施例では、基板に最近接のターゲットにのみ印加してプラズマを生成した。基板ホルダーはヒータによる加熱機構を有しており、スパッタ成膜中の基板温度は一定となるよう制御した。また、基板ホルダーに設置された基板のターゲット側には厚さ0.1mmの金属マスクが設置されており、成膜パターンに応じて必要なマスクが基板成膜面にセットできる構造とした。誘電体層は全てゾルゲル法にて作製した。また、酢酸MgとNbエトキシドを1:2のモル比で秤量し、1,3-ブロパンジオール中で還流操作(約124°Cで6時間)を行い、MgNb複合アルコキシド溶液(Mg=5.0mmol、Nb10.0mmol/1,3-ブロパンジオール15.0mmol)を合成した。次にこのMgNb複合アルコキシド溶液に酢酸鉛(三水和物)1.5mmolを添加し、60°Cで溶解させ、Pb(Mg1/3Nb2/3)O3(PMN)前駆体溶液を合成した。

【0040】そして、図6(a)に示すマスクパターンにより1mm□のPt電極を上記スパッタ蒸着された厚さ0.15mmのサファイア単結晶の基板上に、前記塗布溶液をスピンドルコーターで塗布し、乾燥させた後、約400°Cで熱処理を1分間行い、ゲル膜を作製した。

【0041】塗布溶液の塗布-熱処理の操作を繰り返した後、約830°Cで5分間(大気中)の焼成を行い、膜厚0.7μmのPMN薄膜を得た。得られた薄膜のX線回折結果より、ペロブスカイト生成率を計算するとそれぞれ約95%であった。

【0042】この焼成されたPMN薄膜上にフォトリソグラフィーを用いて、図6(b)に示すマスクパターンを用いてパターニング処理を行った。

【0043】このパターニングされたPMN膜表面に、図6(a)のマスクパターンによる1mm□のPt電極をスパッタ蒸着した後、このPt上部電極をフォトリソグラフィーを用いて、図6(c)に示すマスクパターンによるパターニング処理を行った。次に図6(d)のマスクパターンを用いて、SiO₂の絶縁体層を形成した後、図6(e)のマスクパターンを用いて、最上部電極層を形成した。この薄膜コンデンサアレイの最上部電極上に0.2mmφの半田バンプを形成した。また、上部電極にも同様に0.2mmφの半田バンプを形成し、図1及び図2に示したような薄膜コンデンサアレイを得た。なお、誘電体層を挟んだ個々の電極層の面積は0.19mm²であり、2×2アレイでの全電極面積は0.74mm²であった。

【0044】作製した薄膜コンデンサの1MHzから1.8GHzでのインピーダンス特性をインピーダンスアナライザ(ヒューレットパッカード社製HP4291A)を用いて測定した結果、容量27nF、インダクタンス50pH(半田バンプ込み)の値を得た。

【0045】実施例2

次に、図3及び図4に示す薄膜コンデンサアレイに係わる実施例について説明する。実施例1と同様に電極層の形成は高周波マグネットロンスパッタ法、誘電体層はゾルゲル法、パターニングはフォトリソグラフィーを用いた。

【0046】図7(a)に示したマスクパターンにより1mm□のPt電極を上記スパッタ蒸着された、厚さ0.15mmのサファイア単結晶基板上に、前記塗布溶液をスピンドルコーターで塗布し、乾燥させた後、400°Cで熱処理を1分間行い、ゲル膜を作製した。塗布溶液の塗布-熱処理の操作を繰り返した後、830°Cで5分間(大気中)の焼成を行い、膜厚0.7μmのPMN薄膜を得た。得られた薄膜のX線回折結果より、ペロブスカイト生成率を計算するとそれぞれ約95%であった。

【0047】この焼成されたPMN薄膜上にフォトリソグラフィーを用いて、図7(b)に示すマスクパターンによるPMN膜のパターニング処理を行った。

【0048】このパターニングされたPMN膜表面にPt電極をスパッタ蒸着した後、このPt上部電極をフォトリソグラフィーを用いて、図7(c)のマスクパターンによるパターニング処理を行った。

【0049】次に、再度、誘電体層を形成した後、図7(d)のマスクパターンによるパターニング処理を行った。このパターニングされたPMN膜表面に、Pt電極をスパッタ蒸着した後、図7(e)のマスクパターンによるPt電極のパターニング処理を行った。

【0050】次に、再度、誘電体層を形成し、図7(d)のパターニング処理を行った。このパターニングされたPMN膜表面にPt電極をスパッタ蒸着した後、図7(c)のマスクパターンによるPt電極のパターニ

ング処理を行った。

【0051】これら誘電体層形成、及び電極形成、並びにそれぞれ図7 (d)、図7 (e) 及び図7 (c) のパターニングをくり返し、5層積層された薄膜コンデンサを作製した。次に、図7 (f) のマスクパターンを用いて、 SiO_2 の絶縁体層を形成し、最後に図7 (g) のマスクパターンを用いて、 Pt の最上部電極層を形成した。この薄膜コンデンサの最上部電極上にに0.2mm ϕ の半田バンプを形成した。また、上部電極にも同様に0.2mm ϕ の半田バンプを形成し、図2に示したような5層積層された積層型の薄膜コンデンサアレイを得た。なお、個々の積層型薄膜コンデンサの誘電体層を挟んだ各層の電極層の面積は0.16mm²であり、個々の積層薄膜コンデンサ当り約28nFの容量であった。積層型薄膜コンデンサアレイとして約112nFの容量を得た。

【0052】作製した薄膜コンデンサの1MHzから1.8GHzでのインピーダンス特性をインピーダンスアナライザ（ヒューレットパッカード社製HP 4291A）を用いて測定した結果、容量112nF、インダクタンス30pH（半田バンプ込み）の値を得た。

【0053】

【発明の効果】以上の詳述したように、本発明によれば、個々のコンデンサ素子の電極層において電流が中央部（または外周部）から外周部（または中央部）方向に流れる為、相互インダクタンスによって自己インダクタンスを打ち消す効果が生じ、全インダクタンスを大幅に減少させることができ、さらに個々の薄膜コンデンサを並列接続することによって、個々のコンデンサ素子に流れれる電流が減少し、コンデンサアレイの全インダクタンスをさらに減少させることができる。さらに、本構造の内側導電体及び外側導電体を端子電極とすることにより、実装がきわめて容易な薄膜コンデンサアレイを提供

することができる。

【図面の簡単な説明】

【図1】本発明の薄膜コンデンサアレイ（2×2タイプ）の構成を説明する平面図である。

【図2】図1のA-A線断面図である。

【図3】本発明の積層型の薄膜コンデンサアレイ（2×2タイプ）の構成を説明する平面図である。

【図4】図2のB-B線断面図である。

【図5】本発明の薄膜コンデンサアレイ（2×2タイプ）の層構成を模式的に説明する分解斜視図である。

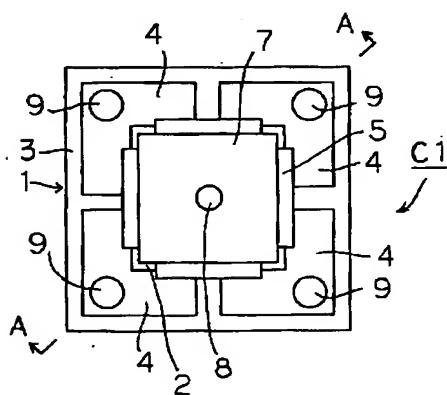
【図6】(a)～(e)はそれぞれ本発明の薄膜コンデンサアレイを製造する時に用いる電極層及び誘電体層のマスクパターンである。

【図7】(a)～(g)はそれぞれ本発明の積層型薄膜コンデンサアレイを製造する時に用いる電極層及び誘電体層のマスクパターンである。

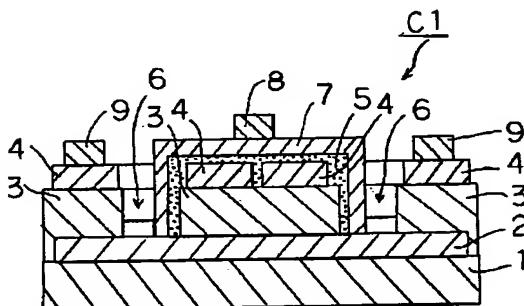
【符号の説明】

1	・	・	・	基板
2	・	・	・	下部電極層
3	・	・	・	誘電体層
4	・	・	・	上部電極層
5	・	・	・	絶縁体層
6	・	・	・	挿入孔
7	・	・	・	最上部電極層
8、9、18、19	・	・	・	外側導体
10	・	・	・	薄膜コンデンサ
12	・	・	・	誘電体層
11	・	・	・	内側電極体
13	・	・	・	外側電極体
15	・	・	・	挿入孔
16	・	・	・	絶縁体層
C1	・	・	・	薄膜コンデンサアレイ
C2	・	・	・	積層型薄膜コンデンサアレイ

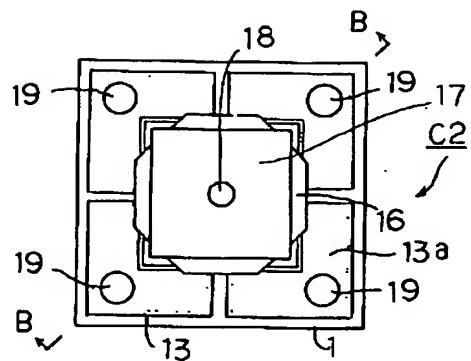
【図1】



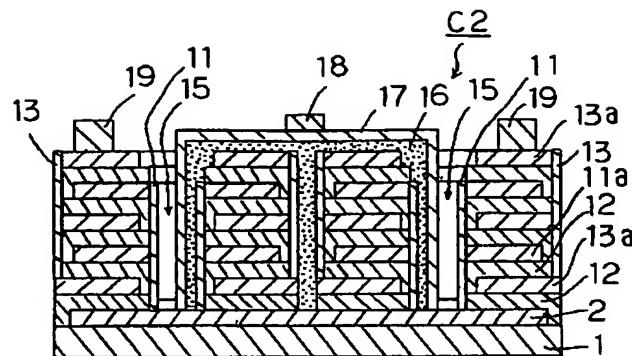
【図2】



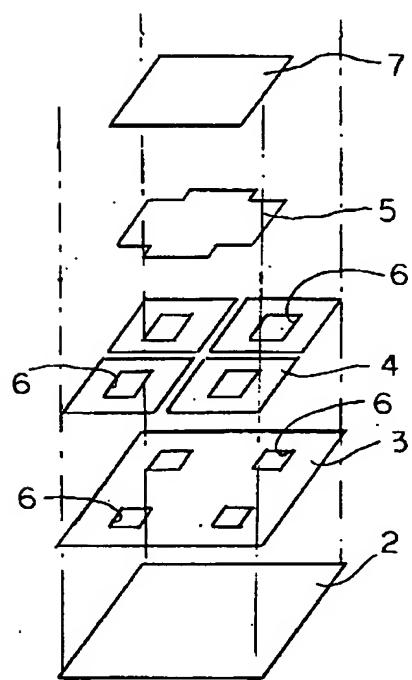
【図3】



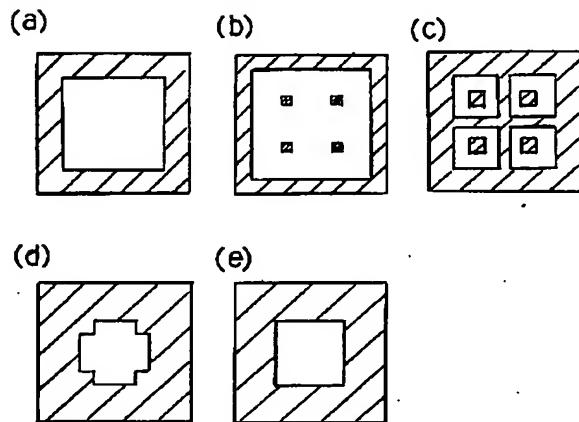
【図4】



【図5】



【図6】



【図7】

